

Requested Patent: JP9064372A
Title: TRANSISTOR AND ITS MANUFACTURE ;
Abstracted Patent: JP9064372 ;
Publication Date: 1997-03-07 ;
Inventor(s): OTOI FUMIO ;
Applicant(s): OKI ELECTRIC IND CO LTD ;
Application Number: JP19950221758 19950830 ;
Priority Number(s): ;
IPC Classification: H01L29/786 ; H01L27/12 ; H01L21/336 ;
Equivalents:

ABSTRACT:

PROBLEM TO BE SOLVED: To use an SOI process using a buried insulating layer by an oxygen ion implantation operation when a transistor is manufactured and to prevent a crystal defect from being generated by a method wherein a single-crystal Si layer for a thin-thickness channel region is formed and an Si layer for a source-drain region whose thickness is thicker than that of the channel region is formed. **SOLUTION:** A film 15 such as an SiO₂ film which is capable of preventing ions from being implanted is generated on an Si substrate 11. The film 15 which is capable of preventing the ions from being implanted is patterned so as to be left only in a region which is to be used as the channel part of a transistor. Then, oxygen ions are implanted, and a buried SiO₂ oxide layer 12, a damaged Si layer 13 and a single-crystal Si layer 14 are formed. Then, the film 15 is removed, the crystallinity of the damaged Si layer 13 is restored, a single-crystal Si layer 14' is formed, and an isolated single-crystal Si layer 16 is formed on the buried SiO₂ layer 12. At this time, the single-crystal Si layer is formed in such a way that the thickness of the Si layer is thin in a part which is to be used as the channel region of a MOS semiconductor element and that the Si layer is thick in a part which is to be used as its source-drain region.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-64372

(43)公開日 平成9年(1997)3月7日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/786			H 01 L 29/78	6 1 8 D
27/12			27/12	R
21/336			29/78	6 2 6 C
				6 2 7 G

審査請求 未請求 請求項の数5 OL (全8頁)

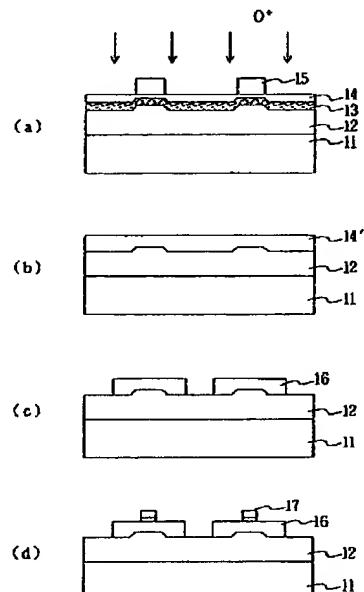
(21)出願番号	特願平7-221758	(71)出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日	平成7年(1995)8月30日	(72)発明者	音居 文雄 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
		(74)代理人	弁理士 清水 守 (外1名)

(54)【発明の名称】トランジスタ及びその製造方法

(57)【要約】

【課題】酸素イオン注入による埋込み絶縁層を使ったSOIプロセスをトランジスタの製造に用いて、結晶欠陥の発生を防止し、リーク電流の増大を抑える。

【解決手段】Si基板11上にイオン注入阻止能力のある膜15を生成し、トランジスタのチャネル部となる領域のみに、その膜15を残すようにパターニングする。酸素イオンを高濃度、高エネルギーでイオン注入すると、埋込みSiO₂層12、損傷Si層13、単結晶Si層14が形成される。上記膜15を除去し、高温アニールにより、表面単結晶Si層14をシードとして固相エピタキシーを行い、損傷Si層13の結晶性を回復させる。次に、ホトリソ・エッティングにより、埋込みSiO₂層12上に分離した単結晶Si層16を形成する。この時、1つの単結晶Si層(Siアイランド)内において、MOS半導体素子のチャネル領域となる部分はSi層の厚さが薄く、ソース・ドレイン領域となる部分は、より厚いSi層となるように、単結晶Si層16が形成される。次に、単結晶Si層16内の薄膜の領域上にゲート電極17を形成する。



11: Si基板
12: 埋込みSiO₂ (Si酸化) 層
13: 損傷Si 層
14, 14', 16: 単結晶Si 層
15: イオン注入阻止能力のある膜
17: ゲート電極

【特許請求の範囲】

【請求項1】 酸素イオン注入による埋込みSi酸化層を有するSOI構造のトランジスタにおいて、(a)薄い厚さのチャネル領域の単結晶Si層と、(b)前記厚さよりも厚いソース・ドレイン領域のSi層とを有することを特徴とするトランジスタ。

【請求項2】 酸素イオン注入による埋込みSi酸化層を有するSOI構造のトランジスタの製造方法において、(a)Si基板上にイオン注入阻止能力のある膜を生成し、トランジスタのチャネル部となる領域のみに、前記イオン注入阻止能力のある膜を残すようにバーニングした後、酸素イオンを高濃度、かつ高エネルギーでイオン注入し、埋込みSi酸化層、損傷Si層、単結晶Si層を順次形成し、前記イオン注入阻止能力のある膜をバーニングした領域は、他の領域に比べ薄い単結晶Si層を形成する工程と、(b)前記イオン注入阻止能力のある膜を除去し、高温アーナーにより、前記単結晶Si層をシードとして固相エピタキシーを行い、前記損傷Si層の結晶性を回復させる工程と、(c)ホトリソ・エッティングにより、前記埋込みSi酸化層上に分離した単結晶Si層を形成する工程と、(d)前記トランジスタのチャネル領域となる部分は、前記単結晶Si層の厚さが薄く、ソース・ドレイン領域となる部分は、より厚さが厚い単結晶Si層となるように形成する工程と、(e)前記単結晶Si層内の薄膜の領域上にゲート電極を形成する工程とを施すことを特徴とするトランジスタの製造方法。

【請求項3】 酸素イオン注入による埋込みSi酸化層を有するSOI構造のトランジスタの製造方法において、(a)Si基板上に酸素イオンを高濃度、かつ高エネルギーでイオン注入し、埋込みSi酸化層、損傷Si層、単結晶Si層を順次形成する工程と、(b)高温アーナーにより、前記単結晶Si層をシードとして固相エピタキシーを行い、前記損傷Si層の結晶性を回復させる工程と、(c)絶縁膜を生成し、トランジスタのチャネル部となる領域のみに、前記絶縁膜を残すようにバーニングし、前記絶縁膜上にSiエピタキシャル膜を形成する工程と、(d)前記絶縁膜を除去し、該絶縁膜が残っていた領域の単結晶Si層の厚さは、他の領域に比べて薄い単結晶Si層とする工程と、(e)ホトリソ・エッティングにより、前記埋込みSi酸化層上に分離した単結晶Si層を形成する工程と、(f)該単結晶Si層上にゲート電極を形成し、トランジスタのチャネル領域となる部分は、単結晶Si層の厚さが薄く、ソース・ドレイン領域となる部分は、より厚い単結晶Si層が形成される工程とを施すことを特徴とするトランジスタの製造方法。

【請求項4】 酸素イオン注入による埋込みSi酸化層を有するSOI構造のトランジスタの製造方法において、(a)Si基板上にイオン注入阻止能力のある膜を

生成し、所定の領域に該イオン注入阻止能力のある膜を残すようにバーニングし、酸素イオンを高濃度、かつ高エネルギーでイオン注入し、埋込みSi酸化層、損傷Si層、単結晶Si層を順次形成する工程と、(b)前記イオン注入阻止能力のある膜を除去し、高温アーナーにより、前記単結晶Si層をシードとして固相エピタキシャルを行い、前記損傷Si層の結晶性を回復させる工程と、(c)ホトリソ・エッティングにより、前記イオン注入阻止能力のある膜で覆われていた領域は薄く、他の領域は厚く形成される、前記埋込みSi酸化層の上に分離した単結晶Si層を形成する工程と、(d)該単結晶Si層上にゲート電極を形成し、前記膜で覆われていた領域に形成されるチャネル領域となる部分の単結晶Si層の厚さはより厚く形成されることを特徴とするトランジスタの製造方法。

【請求項5】 酸素イオン注入による埋込みSi酸化層を有するSOI構造のトランジスタの製造方法において、(a)Si基板上に酸素イオンを高濃度、かつ高エネルギーでイオン注入し、埋込みSi酸化層、損傷Si層、単結晶Si層を順次形成する工程と、(b)高温アーナーにより、前記単結晶Si層をシードとして固相エピタキシーを行い、前記損傷Si層の結晶性を回復させる工程と、(c)絶縁膜を生成し、所定の領域に前記絶縁膜を残すようにバーニングし、統いて、該絶縁膜上にSiエピタキシャル膜を形成する工程と、(d)前記絶縁膜を除去し、前記絶縁膜で覆われていた領域の単結晶Si層の厚さは、他の領域に比べて薄い単結晶Si層を形成する工程と、(e)ホトリソ・エッティングにより、前記埋込みSi酸化層上に分離された単結晶Si層を形成する工程と、(f)該単結晶Si層上にゲート電極を形成し、前記膜で覆われていた領域に形成されるチャネル領域となる部分の単結晶Si層の厚さは薄く、前記膜で覆われていない領域に形成されるチャネル領域となる部分の単結晶Si層の厚さはより厚く形成されることを特徴とするトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、酸素イオン注入による埋込み絶縁層を使ったSOI(Silicon on Insulator)構造のトランジスタ及びその製造方法に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、例えば特開平6-196635号公報に記載されるものがあった。図2はかかる従来のSOI構造の半導体素子の製造工程断面図である。この図を用いて、従来の酸素イオン注入による埋込み絶縁層を使ったSOIプロセス(SIMOXプロセス(separation by

implanted oxygen プロセス)】を述べる。

【0003】(1) まず、図2(a)に示すように、Si基板1に酸素イオンを高濃度($1 \times 10^{17} \text{ cm}^{-2}$ 以上)、高エネルギー(150keV)でイオン注入すると、埋込みSiO₂(Si酸化)層2、損傷Si層(酸素イオン注入が高濃度のため結晶欠陥ができる層)3、その上に単結晶Si層4が形成される。

(2) 次に、酸素イオン注入後、図2(b)に示すように、高温のアニールにより単結晶Si層4をシードとして固相エピタキシーを行い、損傷Si層3の結晶性を回復させ、単結晶Si層4'を形成する。

【0004】(3) 次に、図2(c)に示すように、公知のホトリソ・エッティング技術により、埋込みSiO₂(Si酸化)層2上に、半導体素子の活性領域となる分離した単結晶層5を形成する。

(4) その後、図2(d)に示すように、単結晶層5の上にゲート電極6を形成し、半導体素子を形成する。

【0005】以上の工程において、さらに酸素の注入エネルギーを高くすれば、単結晶Si及び埋込みSi酸化層の薄膜化が可能であり、また、注入エネルギーを低くすれば、単結晶Si層の薄膜化が可能である。

【0006】

【発明が解決しようとする課題】しかしながら、上記したSOI構造の半導体素子の問題点として、バルク構造に比べ、単結晶層Siの欠陥密度が大きいことがある。従来技術においても、損傷Si層の結晶性を回復させるために熱処理を行っているが、欠陥は完全には除去されず、それが半導体素子のリーク電流の原因となる。

【0007】一方、この種の半導体素子の特性をさらに向上させるためには、単結晶Si層の薄膜化が要求される。単結晶Si層を薄膜化すると、製造工程の熱処理による熱のストレスのため、結晶欠陥がさらに発生しやすくなり、リーク電流が増大するという問題点があった。本発明は、上記問題点を除去し、酸素イオン注入による埋込み絶縁層を使ったSOIプロセスをトランジスタの製造に用いて、結晶欠陥の発生を防止し、リーク電流の増大を抑えることができるトランジスタ及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、上記目的を達成するために、

(1) 請求項1記載の酸素イオン注入による埋込みSi酸化層を有するSOI構造のトランジスタにおいて、薄い厚さのチャネル領域の単結晶Si層と、前記厚さよりも厚いソース・ドレイン領域のSi層とを設ける。

【0009】したがって、酸素イオン注入による埋込み絶縁層を使ったSOIプロセスを、トランジスタの製造に用いることにより、結晶欠陥の発生を防止し、リーク電流の増大を抑えることができるトランジスタを得ること

ができる。

(2) 請求項2記載の酸素イオン注入による埋込みSi酸化層を有するSOI構造のトランジスタの製造方法において、Si基板上にイオン注入阻止能力のある膜を生成し、トランジスタのチャネル部となる領域のみに、前記イオン注入阻止能力のある膜を残すようにバターニングした後、酸素イオンを高濃度、かつ高エネルギーでイオン注入し、埋込みSi酸化層、損傷Si層、単結晶Si層を順次形成し、前記イオン注入阻止能力のある膜をバターニングした領域は、他の領域に比べ薄い単結晶Si層を形成する工程と、前記イオン注入阻止能力のある膜を除去し、高温アニールにより、前記単結晶Si層をシードとして固相エピタキシーを行い、前記損傷Si層の結晶性を回復させる工程と、ホトリソ・エッティングにより、前記埋込みSi酸化層上に分離した単結晶Si層を形成する工程と、前記トランジスタのチャネル領域となる部分は、前記単結晶Si層の厚さが薄く、ソース・ドレイン領域となる部分は、より厚さが厚い単結晶Si層となるように形成する工程と、前記単結晶Si層内の薄膜の領域上にゲート電極を形成する工程とを施す。

【0010】したがって、埋込みSi酸化膜上の分離された1つの単結晶Si層の中に、単結晶Si層の厚さの薄い領域と厚い領域が存在し、薄い領域にはトランジスタのチャネル部分を、厚い領域にはソース・ドレインを形成するようにしたので、ソース・ドレイン領域がより厚く、チャネル領域の単結晶Si層に熱ストレスによる結晶欠陥が発生し難い。したがって、リーク電流の小さいトランジスタを得ることができる。

【0011】また、チャネル領域のSi層の厚さを従来より薄くした場合でも、単結晶Si層の結晶欠陥は増大せず、リーク電流レベルは同等である。一方、ON電流は薄いSi層のために容量を低減できるので大きくなり、高性能な半導体素子を形成することができる。更に、ソース・ドレイン領域の単結晶Si層が厚いので、製造プロセスにおけるコンタクトの突き抜けなどに対するプロセスマージンが大きくなる。

【0012】(3) 請求項3記載の酸素イオン注入による埋込みSi酸化層を有するSOI構造のトランジスタの製造方法において、Si基板上に酸素イオンを高濃度、かつ高エネルギーでイオン注入し、埋込みSi酸化層、損傷Si層、単結晶Si層を順次形成する工程と、高温アニールにより、前記単結晶Si層をシードとして固相エピタキシーを行い、前記損傷Si層の結晶性を回復させる工程と、絶縁膜を生成し、トランジスタのチャネル部となる領域のみに、前記絶縁膜を残すようにバターニングし、その上にSiエピタキシャル膜を形成する工程と、前記絶縁膜を除去し、この絶縁膜が残っていた領域の単結晶Si層の厚さは、他の領域に比べ薄い単結晶Si層とする工程と、ホトリソ・エッティングにより、前記埋込みSi酸化層上に分離した単結晶Si層を

形成する工程と、この単結晶Si層上にゲート電極を形成し、トランジスタのチャネル領域となる部分は単結晶Si層の厚さが薄く、ソース・ドレイン領域となる部分は、より厚い単結晶Si層が形成される工程とを施す。

【0013】したがって、素子の断面形状も異なるが、チャネル領域の単結晶Si層の厚さが、ソース・ドレイン領域の単結晶Si層のそれに比べて薄いということは共通しており、第1実施例と同様の効果が得られる。さらに、ソース・ドレイン領域の単結晶Si層の厚さは、図3(b)のSiエピタキシャル膜の成長膜厚によって制御が可能であるので、ウエハプロセスのパラメータ自由度が大きいという利点がある。

【0014】(4)請求項4記載の酸素イオン注入による埋込みSi酸化層を有するSOI構造のトランジスタの製造方法において、Si基板上にイオン注入阻止能力のある膜を生成し、所定の領域に前記イオン注入阻止能力のある膜を残すようにバターニングし、酸素イオンを高濃度、かつ高エネルギーでイオン注入し、埋込みSi酸化層、損傷Si層、単結晶Si層を順次形成する工程と、前記イオン注入阻止能力のある膜を除去し、高温アニールにより、前記単結晶Si層をシードとして固相エピタキシャルを行い、前記損傷Si層の結晶性を回復させる工程と、ホトリソ・エッティングにより、前記イオン注入阻止能力のある膜で覆われていた領域は薄く、その他の領域は厚く形成される、前記埋込みSi酸化層の上に分離した単結晶Si層を形成する工程と、この単結晶Si層上にゲート電極を形成し、前記膜で覆われていた領域に形成されるチャネル領域となる部分の単結晶Si層の厚さは薄く、前記イオン注入阻止能力のある膜で覆われている領域に形成されるチャネル領域となる部分の単結晶Si層の厚さはより厚く形成される単結晶Si層を設けるようにした。

【0015】したがって、同一Si基板上にチャネル層の厚さの異なるトランジスタを混在させることができ。チャネル領域の厚さが薄く、ソース・ドレイン領域の単結晶Si層が比較的厚いトランジスタにおいては、上記(2)と同様の効果が得られ、高性能なトランジスタを形成することができる。一方、チャネル領域の単結晶Si層が比較的厚いトランジスタにおいては、そのチャネル領域の単結晶Si層の厚さが異なるため、ウェル形成時に、異なる不純物濃度のウェル形成が可能となる。

【0016】したがって、同一Si基板上に、閾値電圧の異なる半導体素子を同時に作製することができる。また、抵抗として使用する活性領域の単結晶Si層の厚さを薄く形成することができるので、抵抗パターンを作製する際、レイアウト上有利となる。このように、同一Si基板上に特性の異なるトランジスタを混在させることは、デバイス設計の自由度を増すことができる。

【0017】(5)請求項5記載の酸素イオン注入による埋込みSi酸化層を有するSOI構造のトランジスタの製造方法において、Si基板上に酸素イオンを高濃度、かつ高エネルギーでイオン注入し、埋込みSi酸化層、損傷Si層、単結晶Si層を順次形成する工程と、高温アニールにより、前記単結晶Si層をシードとして固相エピタキシーを行い、前記損傷Si層の結晶性を回復させる工程と、絶縁膜を生成し、所定の領域に前記絶縁膜を残すようにバターニングし、続いて、その絶縁膜上にSiエピタキシャル膜を形成する工程と、前記絶縁膜を除去し、前記絶縁膜で覆われていた領域の前記単結晶Si層の厚さは、他の領域に比べて薄い単結晶Si層を形成する工程と、ホトリソ・エッティングにより、前記埋込みSi酸化膜上に分離された単結晶Si層を形成する工程と、この単結晶Si層上にゲート電極を形成し、前記膜で覆われていた領域に形成されるチャネル領域となる部分の単結晶Si層の厚さは薄く、前記膜で覆われていない領域に形成されるチャネル領域となる部分の単結晶Si層の厚さはより厚く形成する。

【0018】このように、上記(4)とは製造方法は異り、また、素子の断面形状も異なるが、トランジスタの構造的特徴は共通しているので、上記(4)と同様の効果が得られる。さらに、この製造方法では、厚い方の単結晶Si層の膜厚は、Siエピタキシャル膜の成長膜厚によって制御が可能であるので、ウエハプロセスのパラメータ自由度が大きいという利点がある。

【0019】

【発明の実施の形態】本発明の実施例について図を参照しながら説明する。図1は本発明の第1実施例を示す半導体装置の製造工程断面図である。

(1)まず、Si基板11上にSiO₂膜(Si酸化膜)またはSi₃N₄膜(窒化膜)などのイオン注入阻止能力のある膜15を生成し、トランジスタのチャネル部となる領域のみに、そのイオン注入阻止能力のある膜15を残すようにバターニングする。

【0020】続いて、酸素イオンを高濃度($1 \times 10^{17} \text{ cm}^{-2}$ 以上)、高エネルギー(150keV)でイオン注入すると、埋込みSiO₂(Si酸化)層12、損傷Si層(酸素イオン注入が高濃度のため結晶欠陥ができる層)13、単結晶Si層14が形成される。この時、単結晶Si層14の厚さはイオン注入エネルギーに依存するが、SiO₂膜またはSi₃N₄膜などの膜15をバターニングした領域は、他に比べ薄い単結晶Si層が得られる(図1(a)参照)。

【0021】(2)次に、図1(b)に示すように、前記イオン注入阻止能力のある膜15を除去し、1100°C程度の高温アニールにより、単結晶Si層14をシードとして固相エピタキシーを行い、損傷Si層13の結晶性を回復させ、単結晶Si層Si層14'を形成する。

(3) 次に、図1(c)に示すように、公知のホトリソ・エッチング技術により、埋込みSiO₂層12上に分離した単結晶Si層16を形成する。この時、この実施例においては、従来例とは異なり、1つの単結晶Si層(Siアイランド)内において、MOS半導体素子のチャネル領域となる部分はSi層の厚さが薄く、ソース・ドレイン領域となる部分は、より厚いSi層となるように、単結晶Si層が形成される。

【0022】(4) 次に、図1(d)に示すように、単結晶Si層16内の薄膜の領域上にゲート電極17を形成し、半導体素子を形成する。次に、本発明の第2実施例について説明する。図3は本発明の第2実施例を示す半導体装置の製造工程断面図である。

(1) まず、図3(a)に示すように、Si基板21上に酸素イオンを高濃度($1 \times 10^{17} \text{ cm}^{-2}$ 以上)、高エネルギー(150keV)でイオン注入すると、埋込みSiO₂(Si酸化)層22、損傷Si層(酸素イオン注入が高濃度のため結晶欠陥ができる層)23、その上に単結晶Si層24が形成される。

【0023】(2) 次に、図3(b)に示すように、1100°C程度の高温アニールにより、単結晶Si層24をシードとして固相エピタキシーを行い、損傷Si層23の結晶性を回復させ、単結晶Si層24'を形成する。続いて、SiO₂などの絶縁膜25を5000Å程度生成し、MOS半導体素子のチャネル部となる領域のみに、その膜を残すようにパターニングする。続いて、その上にSiエピタキシャル膜26を1000~3000Å成長させる。

【0024】(3) 次に、図3(c)に示すように、絶縁膜25を除去する。この時、単結晶Si層24"の厚さは、絶縁膜(SiO₂膜)25をパターニングしていた領域は、Siエピタキシャル膜が成長しない分だけ、他の部分に比べて薄いSi層となる。

(4) 次に、図3(d)に示すように、公知のホトリソ・エッチング技術により、埋込みSiO₂層22の上に分離した単結晶Si層27を形成する。

【0025】この時、この実施例においては、従来例とは異なり、1つの単結晶Siアイランド内において、MOS半導体素子のチャネル領域となる部分は単結晶Si層の厚さが薄く、ソース・ドレイン領域となる部分は、より厚いSi層が形成される。

(5) 次に、図3(e)に示すように、単結晶Si層27内の薄膜の領域上にゲート電極28を形成し、半導体素子を形成する。

【0026】次に、本発明の第3実施例について説明する。図4は本発明の第3実施例を示す半導体装置の製造工程断面図である。

(1) まず、図4(a)に示すように、Si基板31上にSiO₂膜(Si酸化膜)またはSi₃N₄膜(Si窒化膜)などのイオン注入阻止能力のある膜35を生成

する。次に、所定の領域にそのイオン注入阻止能力のある膜35を残すようにパターニングし、酸素イオンを高濃度($1 \times 10^{17} \text{ cm}^{-2}$ 以上)、かつ高エネルギー(150keV)でイオン注入すると、埋込みSiO₂(Si酸化)層32、損傷Si層(酸素イオン注入が高濃度のため結晶欠陥ができる層)33、その上に単結晶Si層34が形成される。

【0027】(2) 次に、図4(b)に示すように、イオン注入阻止能力のある膜35(図4(a)参照)を除去し、1100°C程度の高温アニールにより、表面単結晶Si層34をシードとして固相エピタキシャルを行い、損傷Si層33の結晶性を回復させ、単結晶Si層34'を形成する。

(3) 次に、図4(c)に示すように、公知のホトリソ・エッチング技術により、埋込みSiO₂層32の上に、分離した単結晶Si層36、36'、36"を形成する。この時、イオン注入阻止能力のある膜35でパターニングした領域の単結晶Si層36"は薄く形成される。パターニングしていない領域は、それに比べて厚い単結晶Si層36'となる。また1つの単結晶Siアイランド内において、Si層の厚さの異なる領域をもつたSiアイランド36を形成することができる。

【0028】(4) 次いで、図4(d)に示すように、単結晶Si層36及び36'の上にゲート電極37を形成し、半導体素子を作製する。このとき、単結晶Si層36に形成されたMOS半導体素子のチャネル領域となる部分は、Si層の厚さが薄く、ソース・ドレイン領域となる部分は、より厚いSi層が形成されていることがわかる。一方、単結晶Si層36'に形成されたMOS半導体素子は、チャネル部もソース・ドレイン領域もSi層の厚さが均一であり、単結晶Si層36に比べ、単結晶Si層36'の方がチャネル部のSi層が厚いことがわかる。また抵抗として使用する単結晶Si層36"の厚さは、この方法によれば、薄く形成することが可能である。

【0029】次に、本発明の第4実施例について説明する。図5は本発明の第4実施例を示す半導体装置の製造工程断面図である。

(1) まず、図5(a)に示すように、Si基板41上に酸素イオンを高濃度($1 \times 10^{17} \text{ cm}^{-2}$ 以上)、高エネルギー(150keV)でイオン注入すると、埋込みSiO₂(Si酸化)層42、損傷Si層(酸素イオン注入が高濃度のため結晶欠陥ができる層)43、その上に単結晶Si層44が形成される。

【0030】(2) 次に、図5(b)に示すように、1100°C程度の高温アニールにより、表面単結晶層44をシードとして固相エピタキシーを行い、損傷Si層43の結晶性を回復させ、単結晶Si層44'を形成する。続いて、SiO₂などの絶縁膜45を5000Å程度生成し、所定の領域にその膜を残すようにパターニン

グする。続いて、その上にSiエピタキシャル膜46を1000~3000Å成長させる。

【0031】(3) 次に、図5(c)に示すように、次に、絶縁(SiO₂)膜45を除去する。この時、絶縁(SiO₂)膜45をバターニングしていた単結晶Si層44"の厚さは、Siエピタキシャル膜が成長しない分だけ、他の部分に比べて薄いSi層となる。

(4) 次に、図5(d)に示すように、公知のホトリソ・エッチング技術により、埋込みSiO₂膜42の上に分離した単結晶Si層47, 47', 47"を形成する。

【0032】(5) 次に、図5(e)に示すように、単結晶Si層47および47'の上にゲート電極48を形成し、半導体素子を作製する。この時、単結晶Si層47に形成されたMOS半導体素子のチャネル領域となる部分は、Si層の厚さが薄く、ソース・ドレイン領域となる部分は、より厚いSi膜が形成されていることがわかる。一方、単結晶Si層47'に形成されたMOS半導体素子は、チャネル領域もソース・ドレイン領域もSi層の厚さが均一であり、47に比べ47'の方がチャネル領域のSi層が厚いことがわかる。また、抵抗として使用する活性領域47"の厚さは、この方法によれば、薄く形成することが可能である。

【0033】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0034】

【発明の効果】以上、説明したように、本発明によれば、以下のような効果を奏することができる。

(1) 請求項1記載の発明によれば、酸素イオン注入による埋込み絶縁層を使ったSOIプロセスを、トランジスタの製造に用いることにより、結晶欠陥の発生を防止し、リーク電流の増大を抑えることができるトランジスタを得ることができる。

【0035】(2) 請求項2記載の発明によれば、埋込みSi酸化膜上の分離された1つの単結晶Si層の中に、単結晶Si層の厚さの薄い領域と厚い領域が存在し、薄い領域にはトランジスタのチャネル部分を、厚い領域にはソース・ドレインを形成するようにしたので、ソース・ドレイン領域がより厚く、チャネル領域の単結晶Si層に熱ストレスによる結晶欠陥が発生し難い。したがって、リーク電流の小さいトランジスタを得ることができる。

【0036】また、チャネル領域のSi層の厚さを従来より薄くした場合でも、単結晶Si層の結晶欠陥は増大せず、リーク電流レベルは同等である。一方、ON電流は薄いSi層のために容量を低減できるので大きくなり、高性能な半導体素子を形成することができる。更に、ソース・ドレイン領域の単結晶Si層が厚いので、

製造プロセスにおけるコンタクトの突き抜けなどに対するプロセスマージンが大きくなる。

【0037】(3) 請求項3記載の発明によれば、素子の断面形状も異なるが、チャネル領域の単結晶Si層の厚さが、ソース・ドレイン領域の単結晶Si層のそれに比べて薄いということは共通しており、第1実施例と同様の効果が得られる。さらに、ソース・ドレイン領域の単結晶Si層の厚さは、図3(b)のSiエピタキシャル膜の成長膜厚によって制御が可能であるので、ウエハプロセスのパラメータ自由度が大きいという利点がある。

【0038】(4) 請求項4記載の発明によれば、同一Si基板上にチャネル層の厚さの異なるトランジスタを混在させることができる。チャネル部の厚さが薄く、ソース・ドレイン部のSi層が比較的厚いトランジスタにおいては、上記(2)と同様の効果が得られ、高性能なトランジスタを形成することができる。一方、チャネル領域の単結晶Si層が比較的厚いトランジスタにおいては、そのチャネル領域の単結晶Si層の厚さが異なるため、ウェル形成時に、異なる不純物濃度のウェル形成が可能となる。

【0039】したがって、同一Si基板上に、閾値電圧の異なる半導体素子を同時に作製することができる。また、抵抗として使用する活性領域の単結晶Si層の厚さを薄く形成することができるので、抵抗パターンを作製する際、レイアウト上有利となる。このように、同一Si基板上に特性の異なるトランジスタを混在させることは、デバイス設計の自由度を増すことができる。

【0040】(5) 請求項5記載の発明によれば、上記(4)とは製造方法は異り、また、素子の断面形状も異なるが、トランジスタの構造的特徴は共通しているので、上記(4)と同様の効果が得られる。さらに、この製造方法では、厚い方の単結晶Si層の膜厚は、Siエピタキシャル膜の成長膜厚によって制御が可能であるので、ウエハプロセスのパラメータ自由度が大きいという利点がある。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す半導体装置の製造工程断面図である。

【図2】従来のSOI構造の半導体素子の製造工程断面図である。

【図3】本発明の第2実施例を示す半導体装置の製造工程断面図である。

【図4】本発明の第3実施例を示す半導体装置の製造工程断面図である。

【図5】本発明の第4実施例を示す半導体装置の製造工程断面図である。

【符号の説明】

11, 21, 31, 41 Si基板

12, 22, 32, 42 埋込みSiO₂ (Si酸

化)層

13, 23, 33, 43 損傷Si層

14, 14', 16, 24, 24', 24'', 27, 3

4, 34', 36, 36', 36'', 44, 44', 4

4'', 47, 47', 47'' 単結晶Si層

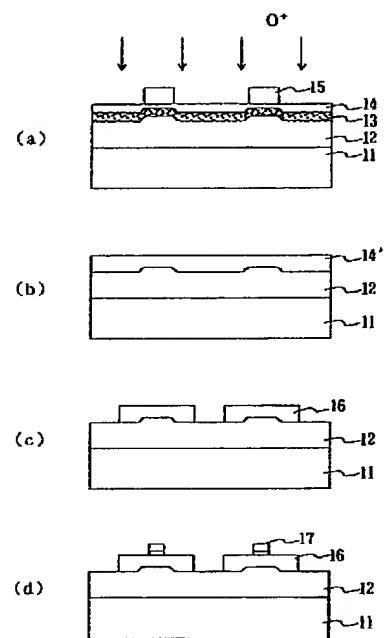
15, 35 イオン注入阻止能力のある膜(SiO₂膜又はSi₃N₄膜)

17, 28, 37, 48 ゲート電極

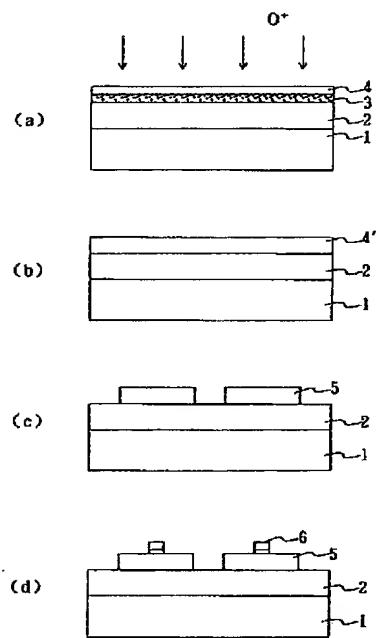
25, 45 絶縁膜

26, 46 Siエピタキシャル膜

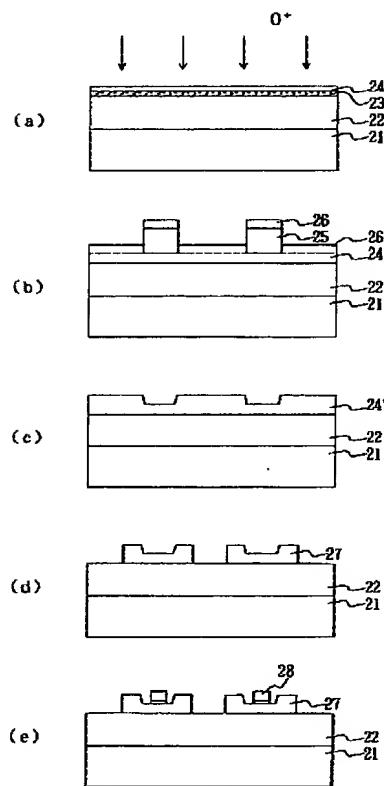
【図1】



【図2】



【図3】



11: Si基板

12: 埋込みSiO₂ (Si酸化)層

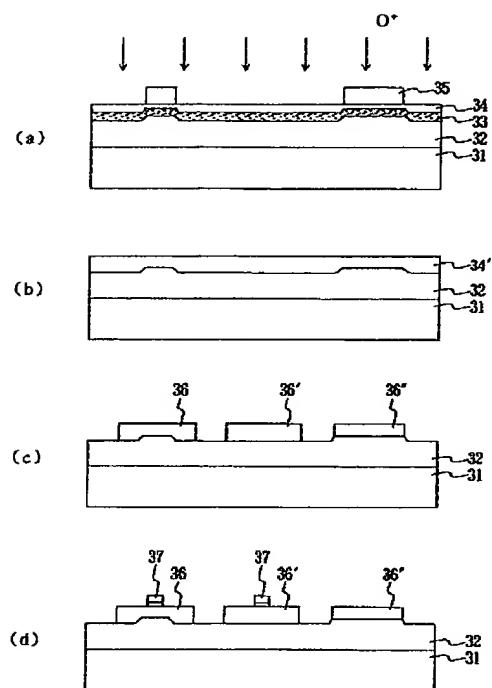
13: 損傷Si層

14, 14', 16: 単結晶Si層

15: イオン注入阻止能力のある膜

17: ゲート電極

【図4】



【図5】

